

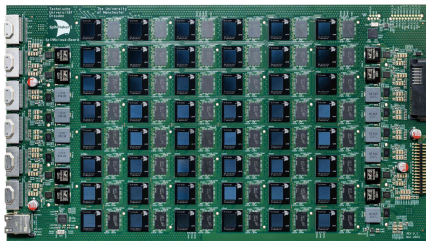
Spinnaker2 LDPC Decoder

Bachelorarbeit/Masterarbeit

Projekt

Angesichts steigender globaler Kommunikationsanforderungen gewinnt die Energieeffizienz von Kommunikationsgeräten zunehmend an Bedeutung. Ein erheblicher Teil des Energiebudgets eines Empfängers wird vom Decoder für Fehlerkorrekturcodes verbraucht. Diese Arbeit konzentriert sich auf die Verwendung der SpiNNaker2-Chips, um einen energieeffizienten LDPC-Decoder zu entwickeln. Die SpiNNaker2-Architektur besteht aus 48 Chips, die ein SpiNNcloud-Board bilden und so zusammen mit 7.296 Kernen ausgestattet sind. Die einzelnen Kerne sind in einem niedrig vermaschten Netz verbunden, was zusammen mit der Chiparchitektur Energieeffizienz durch ereignisdiskrete Verarbeitung ermöglicht.

Das primäre Ziel ist die Implementierung eines MINSUM-Decoders für einen einzelnen Kern auf einem SpiNNaker2-Chip. Darüber hinaus soll ein effektiver Lastverteilungsmechanismus entworfen werden, um die Leistung und Auslastung mehrerer Decoder auf dem SpiNNcloud-Board zu optimieren. Ein weiteres Ziel des Projekts ist es, die Rauschgeneratoren der SpiNNaker2-Chips zu nutzen, um einen On-Board-Simulator zu erstellen, mit dem die Leistung der Decoder in Echtzeit bewertet werden kann. Schließlich werden die Simulationen hinsichtlich Geschwindigkeit und Energieeffizienz analysiert und mit klassischen Decodierarchitekturen verglichen.



Aufgabenstellung

1. Implementierung eines MINSUM Decoders auf dem Spinnaker2 Chip
2. Entwicklung eines Lastverteilungsmechanismus
3. Messtechnische Evaluation der Performance des Aufbaus.

Voraussetzungen

- ✓ Channel Coding
- ✓ C/C++

Institut

Communications
Engineering
Lab

Hertzstr. 16
Gebäude 06.45
76187 Karlsruhe
www.cel.kit.edu

Ansprechpartner

M.Sc.
Alexander von Bank

Zimmer 210
alexander.bank@kit.edu